

## ПІДВИЩЕННЯ ШВИДКОДІ ОБЧИСЛЕННЯ ЛОГІЧНИХ ФУНКЦІЙ В ЦИФРОВИХ СИСТЕМАХ УПРАВЛІННЯ

*У тезах розглянуто реалізацію логічних функцій в мікропроцесорних пристроях. Запропоновано нестандартний підхід до підвищення швидкодії обчислення логічних функцій в цифрових системах управління на базі мікропроцесорних пристроїв.*

**Постановка проблеми.** На сучасному етапі розвитку техніки широке поширення знайшли цифрові системи управління. До недавнього часу управління в цифрових пристроях виконувалося на базі цифрових мікросхем малої та середньої інтеграції. Методи проектування таких пристроїв добре відомі. Значні обчислювальні та логічні можливості цифрових пристроїв визначають їхнє використання для управління автоматизованими об'єктами. Однак, останнім часом, все менше використовуються інтегральні схеми малої і середньої інтеграції, а все більше - програмовані логічні інтегральні схеми (ПЛІС), мікропроцесори (МП), мікроконтролери (МК). Існуючі методи проектування на базі цифрових мікросхем малої і середньої інтеграції дуже добре підходять для реалізації пристроїв на ПЛІС, однак викликають деякі труднощі при реалізації у МП і МК.

**Аналіз останніх досліджень і публікацій.** Останнім часом мікропроцесори та мікро-ЕОМ знайшли широке застосування в пристроях і системах автоматизації вимірювань, обробки даних і управління технологічними процесами, а також для побудови різних спеціалізованих цифрових пристроїв [1, 2]. Тому всі операції обчислення логічних і арифметичних функцій, обробки та передачі даних, формування управління покладають на мікропроцесор, реалізуючи операції програмно. В якості математичного апарату для функцій і аргументів таких сигналів використовується двійкова (булева) алгебра [3, 4].

Цифрові схеми управління можна розділити на два класи: пристрої без пам'яті (комбінаційні схеми), пристрої з пам'яттю (кінцеві автомати). Далі мова піде тільки про комбінаційні схеми (КС), оскільки описувані підходи будуть аналогічні.

КС може представлятися двома формами: диз'юнктивною нормальною формою (ДНФ) та кон'юнктивною нормальною формою (КНФ).

Зазначені вирази є функціями декількох змінних, як і операції кон'юнкції та диз'юнкції. В сучасних МП і МК хоч і є побітові логічні команди [5], але виконуються вони для двох операндів, в результаті чого обчислення логічних функцій (ЛФ) суттєво ускладнюється. Багато МК мають можливість не тільки виконувати логічні операції, але й зберігати бітові змінні. У більшості мов високого рівня ситуація складніша, тому що для логічних змінних використовується тип змінної розмірністю в один байт.

**Формулювання цілей статті.** Для підвищення швидкодії обчислення логічних функцій в цифрових мікропроцесорних системах управління необхідно використовувати наявні функціональні вузли, а, зокрема, регістр прапорів мікропроцесора для виконання побітових операцій.

**Викладення основного матеріалу.** Процес синтезу КС на елементах заданого базису розбивається на наступні етапи:

- аналітичний запис ЛФ в булевому базисі: в досконалій диз'юнктивній нормальній формі (ДДНФ) або в досконалій кон'юнктивній нормальній формі (ДКНФ);
- мінімізація ЛФ в булевому базисі (метод Квайна, карт Карно тощо);
- представлення отриманого після мінімізації виразу в заданому базисі.

Всі зазначені етапи виконуються незалежно від реалізації: програмної або апаратної. Однак, як буде показано далі, через особливості реалізації запропонованої методики в деяких випадках можна виконати часткову мінімізацію або вона може бути відсутньою зовсім, при цьому швидкодія обчислення логічної функції істотно не зміниться.

Як зазначалося вище, МК і МП уміють виконувати логічні операції, однак це побітові операції двох операндів 8- або 16-розрядних даних (розрядність даних найчастіше залежить від розрядності МК і МП). Також деякі МК дозволяють працювати з однобітових типами змінних, при цьому кількість операндів обмежується двома.

До складу будь-якого МП і МК входить арифметико-логічний пристрій (АЛП), яке і виконує всі арифметичні та логічні операції. При виконанні арифметичної або логічної команди не тільки формується результат, але і змінюється регістр прапорів. Однією з ознак регістра прапорів є прапор нуля,

який змінюється при виконанні арифметичних і логічних операцій відповідно до одного з логічних виразів [5]:

$$Z = \bar{X}_1 \wedge \bar{X}_2 \wedge \dots \wedge \bar{X}_i \dots \wedge \bar{X}_r, \quad (1)$$

де  $X_i$  – відповідний розряд результату після виконання арифметичної або логічної операції;  $i$  - номер розряду;  $r$  - розрядність регістра МП і МК, в якому отримано результат (найчастіше відповідає розрядності шини даних мікропроцесора). Таким чином, можна відзначити, що у всіх мікропроцесорах є апаратний багатовхідний блок обчислення логічних функцій (1), хоча і призначений для інших цілей.

Розглянемо реалізацію обчислення ЛФ. Незалежно від того, в якій формі описується КС, для її реалізації необхідне виконання операцій кон'юнкції та диз'юнкції. Розглянемо два випадки:

- кількість логічних змінних менше розрядності регістрів мікропроцесора;
- кількість логічних змінних більше розрядності регістрів мікропроцесора.

У першому випадку необхідно позбутися зайвих логічних змінних. Для цього необхідно використовувати підхід, аналогічний підходу реалізації КС на багатовхідних логічних елементах, - подати фіксований рівень на зайві входи: '0' - на входи елементів "АБО" ("АБО-НІ"); '1' - на входи елементів "І" ("І-НІ"). Цього можна досягти, використовуючи накладення бітових масок.

Враховуючи вираз (1), реалізація операції кон'юнкції виконується відповідно до виразу:

$$K = (X \oplus (2^r - 1)) \wedge M, \quad (2)$$

де  $K$  – результат обчислення побітових операцій;  $X$  - слово, що містить логічні змінні;  $M$  - маска, в якій розряди, відповідні логічним змінним, містять одиниці значення.

Результат обчислення кон'юнкції буде знаходитися у прапорі нуля, тобто

$$f_k = z. \quad (2)$$

Таким чином, замість виконання  $i$  логічних бітових операції необхідно виконати всього дві логічні побітові операції відповідно до (1).

У разі, коли кількість логічних змінних більше розрядності регістрів мікропроцесора, необхідно виконати нарощування розрядності для виконання операцій кон'юнкції і диз'юнкції. У цьому випадку логічні змінні зберігаються в кількох словах. Обчислення операції кон'юнкції виконується відповідно до виразу:

$$K1 = (X1 \oplus (2^r - 1)), \quad (3)$$

$$K2 = (X2 \oplus (2^r - 1)) \wedge M \quad (4)$$

Результат обчислення кон'юнкції буде визначатися наступним чином:

$$f_k = z1 \wedge z2. \quad (5)$$

**Висновки.** Запропонована методика дозволяє підвищити швидкодію обчислення ЛФ, причому швидкодія збільшується прямопропорційно кількості логічних змінних в багаточленах КНФ або ДНФ. Дана методика інваріантна до використовуваного мікропроцесора.

## Література

1. Сопряжение датчиков и устройств ввода данных с компьютерами IBM PC: Пер. с англ. /Под ред. У. Томпкинса, Дж. Уэбстера. — М.: Мир., 1992. — 592 с., ил.
2. Трамперт В. Измерение, управление и регулирование с помощью AVR микроконтроллеров: Пер. с нем. — К.: "МК-Пресс", 2006. — 208 с., ил.
3. Угрюмов Е. П. Цифровая схемотехника. — СПб.: "БХВ — Санкт-Петербург", 2001. — 528 с., ил.
4. Корнійчук А. І. Проектування пристроїв та систем управління. Навчальний посібник. — Житомир: ЖІТІ, 2000. — 276 с.
5. Боборыкин А. В., Липовецкий Г. П., Литвинский Г. В., Оксиль О. Н., Прохорчик С. В., Проценко Л. В., Петренко Н. В., Сергеев А. А., Сивобород П. В. Однокристальные микроЭВМ. М.: МИКАП, 1994. — 400 с., ил.

ПЕТРОСЯН Руслан Валерійович – викладач кафедри автоматичного управління в технічних системах Житомирського державного технологічного університету.

Наукові інтереси:

- мікропроцесорна техніка та системне програмування;
- цифрова обробка сигналів;
- вимірювальна техніка;
- теорія автоматичного управління;
- розробка електронних пристроїв.

ПОВІДАЙКО Петро Михайлович – кандидат технічних наук, доцент кафедри автоматичного управління в технічних системах Житомирського державного технологічного університету.

Наукові інтереси:

- радіопеленгація;
- дослідження в галузі цифрової обробки сигналів.

**Повышение быстродействия вычисления логических функций в цифровых системах управления / Р.В.Петросян, П.М. Повидайко**

В тезисах рассмотрена реализация логических функций в микропроцессорных устройствах. Предложен нестандартный подход к повышению быстродействия вычисления логических функций в цифровых системах управления на базе микропроцессорных устройств.

**Increase of speed of calculation of logical functions in digital control systems / R.V.Petrosyan, P.M. Povidayko**

In theses realization of logical functions in microprocessor devices is considered. Non-standard approach to increase of speed of calculation of logical functions in digital control systems on the basis of microprocessor devices is offered.